

2024 IEEE CICC Review

KAIST 전기및전자공학과 박사과정 신현우

Session 18 Power Efficient and Application-Oriented ADCs

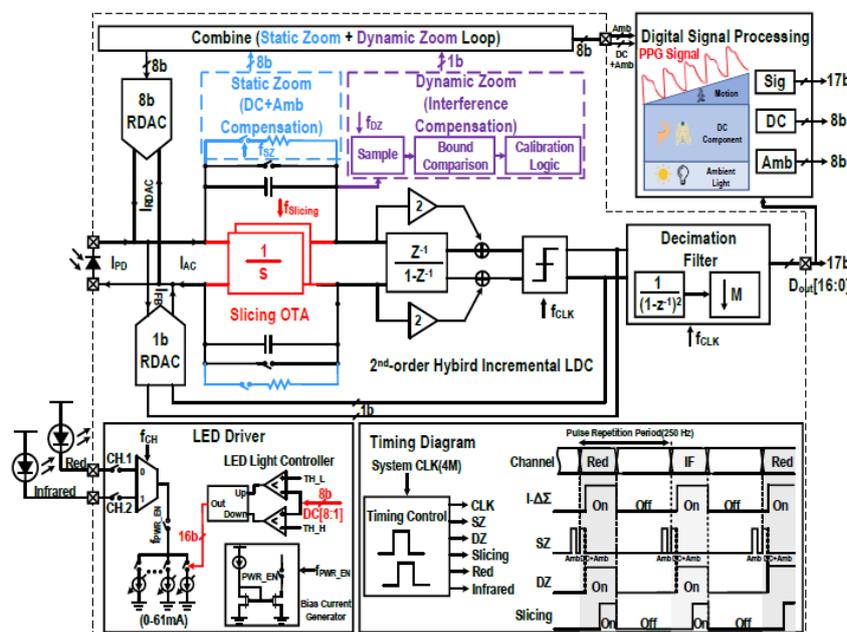
#18.2 – Fudan University, Shanghai, China

본 논문에서는 highly sensitive optical sensor를 위한 고해상도 light-to-digital converter(LCD)를 제안하였습니다. Application에서 요구하는 수준의 매우 넓은 dynamic range(DR)를 달성하기 위해서, 본 논문은 current input의 incremental zoom architecture를 이용하였습니다.

Zoom architecture의 coarse conversion을 이용하여 DC 성분인 ambient light를 detection하고, fine conversion에서 AC current를 detection 함으로써 LCD가 매우 넓은 범위의 input current를 detection 할 수 있습니다. 또한, dynamic zoom에 비해 입력 범위가 매우 제한되는 incremental zoom의 문제를 해결하고자 tracking zoom 방식을 사용하였습니다 [1]. 이를 통해 LCD의 DR를 더욱 향상시켰습니다.

Fine DSM의 loop-filter는 anti-aliasing property를 위해 first-stage에는 continuous-time (CT) integrator를, process-voltage-temperature variation robustness를 위해 second-stage에는 discrete-time (DT) integrator를 사용하였습니다. 또한, OTA slicing 기법을 통해서, incremental ADC의 CT integrator에 사용되는 amplifier의 전력소모를 2배 감소시켰습니다 [2].

본 논문에서는 current input의 incremental zoom ADC에 current input tracking zoom을 통해 140 dB DR라는 state-of-the-art 성능을 달성하였고, OTA slicing 기법을 이용하여 LCD의 power efficiency를 극대화했습니다.



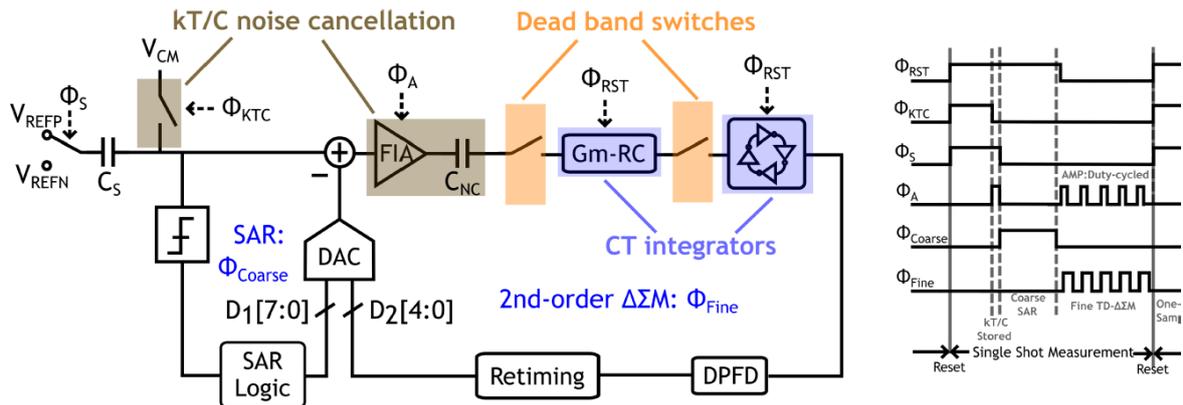
#18.3 – Peking University, Beijing, China

Human-robot interface와 같은 IoT application이 발전함에 따라 high-resolution, low-latency, low-power capacitance-to-digital converter(CDC)에 대한 수요가 계속해서 증가하고 있습니다. 본 논문은 보다 높은 해상도를 위해 time-domain (TD) quantizer 기반의 incremental zoom architecture를 제안하였습니다. 이때, 2nd-order noise shaping과 kT/C noise cancellation 기법을 이용하여, 기존 TD quantizer 기반의 zoom CDC [3-4] 보다 더 높은 해상도를 달성하였습니다.

본 논문에서는 2nd-order loop-filter 구성을 위해 Gm-C integrator와 VCO quantizer를 이용하였습니다. 이때, Gm-C integrator의 capacitor에 series resistor를 연결하여, 매우 간단하게 loop-filter의 feedforward path를 구현하였고, 이를 통해 loop-filter의 stability를 개선하였습니다. 또한, 본 논문에서는 loop-filter 구현을 위해 CT domain에서 동작하는 integrator를 사용하였지만 CT DSM의 excess loop delay로 인한 stability 저하를 피하기 위해 dead band operation을 이용하여 loop-filter가 discrete-time circuit처럼 동작할 수 있도록 하였습니다.

또한, 입력 capacitance를 sampling 하는 과정에서 발생하는 sampling noise로 인한 CDC의 해상도 한계를 극복하고자 output series canceling 방식의 kT/C noise cancellation [5] 기법을 사용하였습니다. 이때, noise cancellation의 power efficiency를 높이기 위해 floating inverter amplifier (FIA)를 사용하였고, zoom architecture의 fine conversion에서 FIA를 gain stage로 활용하여 fine DSM에서 발생하는 noise를 감소시켰습니다.

본 논문에서는 Gm-RC integrator, dead band operation, kT/C noise cancellation 기법을 활용하여 state-of-the-art 수준의 낮은 latency와 높은 energy efficiency를 갖는 high-resolution CDC 구조를 제안하였습니다.

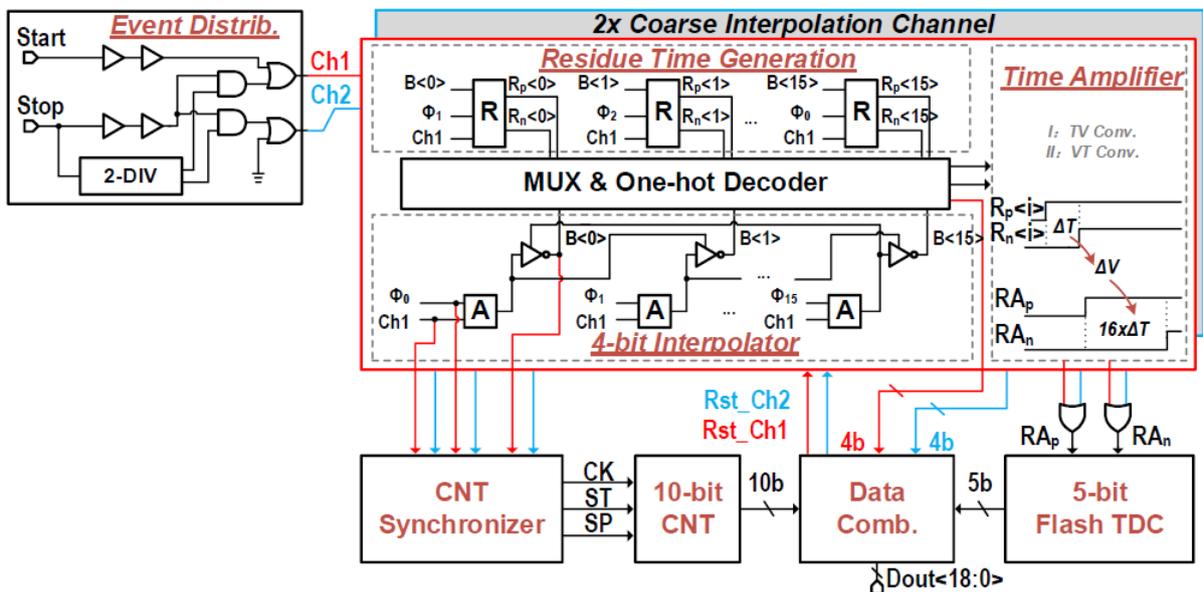


#18.7 – Xidian University, China

SPAD-based dToF 센서를 설계하는 데에 있어서, pipe-up distortion을 줄이기 위해 multi-event와 low dead time을 갖는 TDC를 설계하는 것이 중요합니다. 본 논문에서는 Start channel interpolator와 Stop channel interpolator를 번갈아 재사용하는 기술을 활용

하여 고속의 multi-event TDC 달성하였습니다. 그리고, 고해상도의 TA(Time-Amplifier)를 통한 coarse-fine interpolation 구조와 ultra-low static phase error DLL을 통해 높은 해상도를 달성할 수 있었습니다.

Circuit implementation 면으로는, interpolator에 D-flipflop 대신 latch를 사용함으로써 sensitivity와 symmetry를 확보하였습니다. TA로는 전류원이 capacitor를 충-방전하는 open-loop TA를 활용하여 높은 선형성과 넓은 입력 범위를 확보하였습니다. 그리고 fine Flash TDC로 기존의 folding based gate delay Flash TDC에서 벗어나 differential VCDC를 time quantization step으로 활용함으로써 대칭성을 확보하였고 선형성을 높일 수 있었습니다. 또한, DLL의 static phase error를 효과적으로 감소시키기 위해서, DLL Phase-locked loop의 PFD 앞 단에 SR-latch based TA를 삽입하였습니다.



정리 드리자면, 본 논문은 interpolator 재활용 기술을 활용하여 무제한의 event number를 수용하고 80 MS/s의 속도로 동작하는 TDC를 개발하였습니다. 그리고 high linear TA를 기반으로 한 two-step 구조와 static phase error를 줄인 DLL을 통해 TDC의 선형성을 향상시켰습니다. 그 결과, 7.9 ps의 분해능과 2033.5 ns 이상의 동적 범위를 달성하였습니다.

참고문헌

- [1] B. Gonen et al., "A Dynamic Zoom ADC With 109-dB DR for Audio Applications," IEEE Journal of Solid-State Circuits, vol. 52, no. 6, pp. 1542-1550, Jun. 2017.
- [2] P. Vogelmann, "A 1.1mW 200kS/s incremental $\Delta\Sigma$ ADC with a DR of 91.5dB using integrator slicing for dynamic power reduction," in Proc. International Solid-State Circuits Conference (ISSCC), 2018, pp. 236-238.
- [3] Z. Shen et al., "A 9.7fJ/Conv.-Step Capacitive Sensor Readout Circuit with Incremental Zoomed Time Domain Quantization," in Proc. IEEE Custom Integrated Circuits Conference (CICC), 2023, pp. 1-2.
- [4] H. Li et al., "A 0.39-mm² Stacked Standard-CMOS Humidity Sensor Using a Charge-Redistribution Correlated Level Shifting Floating Inverter Amplifier and a VCO-Based Zoom CDC," IEEE Journal of Solid-State Circuits, vol. 56, no. 2, pp. 435-448, Feb. 2024.
- [5] J. Liu et al., "A 13-bit 0.005-mm² 40-MS/s SAR ADC With kT/C Noise Cancellation," IEEE Journal of Solid-State Circuits. Vol. 55, no. 12, pp. 3260-3270, Dec. 2020.

저자정보



신현우

- 소 속 : KAIST 전기및전자공학과 박사과정
 - 연구분야 : High Speed ADC
 - 이 메 일 : shin6223@kaist.ac.kr
 - 홈페이지 : <https://msicl.kaist.ac.kr>
-

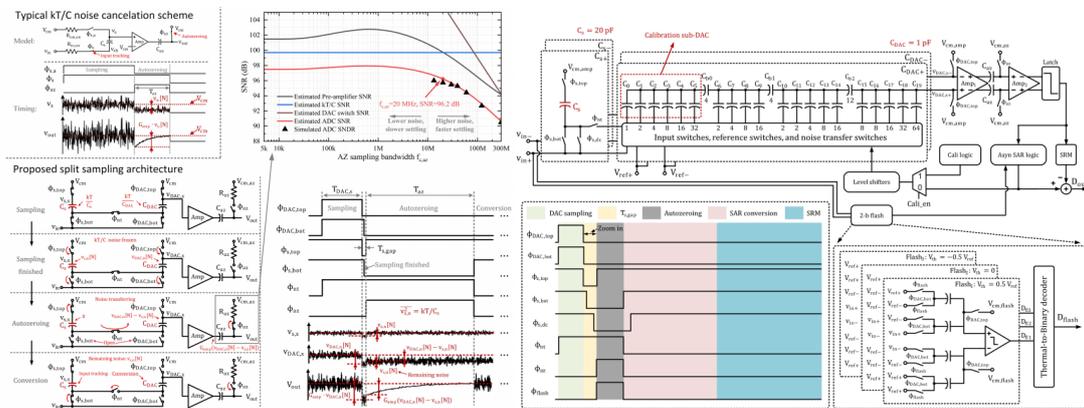
2024 IEEE CICC Review

서울대학교 전기정보공학부 박사과정 박현준

Session 24 High-Resolution ADCs

이번 2024 IEEE CICC의 Session 24은 High-Resolution ADC라는 주제로 총 8편의 논문이 발표되었다. 이 세션에서는 고해상도를 제공하는 기존의 ADC topology의 문제점을 해결하는 다양한 방식의 ADC들이 소개되었다.

#24-1 고해상도 SAR ADC에서는 kT/C 노이즈가 주요 병목 현상으로 작용하며, 이를 해결하기 위해 큰 커패시터를 사용하는 경우 면적과 전력 소모가 증가한다. 본 논문에서는 스플릿 샘플링(SS) 기술과 SRM(통계 잔류 측정) 보조 자가 보정 기능을 갖춘 16b SAR ADC를 제안한다. 스플릿 샘플링(SS) 기술은 샘플링과 변환 작업을 분리하여 작은 DAC와 큰 샘플링 커패시터를 각각 사용한다. 작은 DAC는 전력 소모를 줄이고, 큰 샘플링 커패시터는 kT/C 노이즈를 줄인다. 샘플링된 노이즈 차이는 증폭되어 AZ(오토제로) 커패시터에 저장되고, 이를 통해 작은 DAC의 kT/C 노이즈가 제거된다. SRM 보조 자가 보정은 비트 사이클링 후 래치가 결정을 계속 내리도록 하여 잔류 전압을 추정하고 ADC 출력에서 이를 빼서 SNDR를 향상시킨다. 이로 인해 고해상도에서 필요한 보정이 신속히 이루어진다. 오토제로(AZ) 단계는 입력 신호가 추적되지 않기 때문에, AZ 단계가 연장되어 낮은 AZ 대역폭을 가능하게 하고 노이즈 엘리어싱을 완화한다. 제안된 ADC는 40nm 공정으로 제작되었으며, 5MS/s에서 93.7dB의 SNDR를 달성하였다. 전체 전력 소모는 5.31mW이며, 높은 Schreier FoM(180.4dB)을 기록하였다.



[그림 1] 24-1 Split Sampling Concept 및 Top Architecture

#24-2 노이즈 shaping SAR ADC는 높은 해상도와 저전력 무선 링크를 위한 유망한 아키텍처로 간주되고 있다. 그러나 NS-SAR ADC는 PVT 변동에 민감하며, 입력 구동 문제와 높은 전압 공급 필요성 등의 설계 문제를 겪는다. 기존의 버퍼-인-루프(BIL) 아키텍처는 높은 전압 공급을 필요로 하며, kT/C 노이즈 제거 방법은 추가 타이밍 오버헤드를 필요로 한다. 이 논문에서는 AILB 및 NLRS를 사용하여 해당 문제를 해결한다. 증폭기 재사용 인루프 버퍼링(AILB)은 입력 버퍼링과 잔류 추출을 비교기 프리앰프에 통합하여 높은 전압 공급과 추가 노이즈 패널티 없이 kT/C 노이즈 감소를 달성한다. 샘플링 동안 CDAC가 입력 신호를 샘플링하지 않고, 프리앰프 입력에 AC 커플링하여 오프셋 커패시터에 증폭된 신호를 샘플링한다. NTF leakage reshaping (NLRS) technique은 소스 팔로워(SF) 출력의 음성 피드백과 양성 피드백을 프리앰프 입력 및 SF 입력으로 다시 전달하여, EF 오픈 루프 증폭기의 이득 변동에 민감하지 않도록 한다. 이 기술은 AILB 구조 위에 몇 개의 스위치와 커패시터만 추가하여 구현되며, 전력 효율에 거의 영향을 미치지 않는다. 제안된 NS-SAR ADC는 65nm CMOS 공정으로 제작되었으며, 8MSPS에서 126.8uW의 전력을 소비하면서 82dB의 SNDR을 달성하였다.

#24-3 $\Delta\Sigma$ -ADC는 고해상도와 전력 효율을 위해 오버샘플링 및 노이즈 shaping 기술을 사용한다. 그러나 free-running $\Delta\Sigma$ ADC는 입력과 출력 샘플 간의 일대일 매핑을 제공할 수 없기 때문에 $\text{I}\Delta\Sigma$ -ADC가 등장하였다. 기존의 $\text{I}\Delta\Sigma$ -ADC는 고해상도를 달성할 수 있지만, 스위치드 커패시터 회로는 입력 드라이버에 높은 요구 사항을 부과하여 ADC 자체보다 더 많은 전력을 소모할 수 있다. 이 논문에서 제안하는 Continuous-time $\text{I}\Delta\Sigma$ ADC는 저항성 입력 임피던스를 통해 이러한 문제를 해결할 수 있다. 본 논문에서는 확장 카운팅을 사용하여 비동기 SAR을 통해 해상도를 개선한 연속 시간 $\text{I}\Delta\Sigma$ ADC를 제안한다. RC 적분기를 사용하여 모듈레이터를 구현하고, 가상 접지에서 비이상성을 감소시키기 위해 네거티브-R을 사용한다. 또한, 저항성 NRZ-DAC를 사용하여 클록 지터의 영향을 줄이고, 복잡한 디지털 회로 없이 FIR-DAC를 구현한다. SAR-ADC는 루프 필터 외부에서 작동하여 양자화 노이즈만 처리하므로 성능에 영향을 주지 않는다. 소스 팔로워(SF) 출력의 음성 피드백과 양성 피드백을 프리앰프 입력 및 SF 입력으로 다시 전달하여 EF 오픈 루프 증폭기의 이득 변동에 민감하지 않도록 하는 NTF NLRS 기술 역시 사용되었다. 제안된 연속 시간 $\text{I}\Delta\Sigma$ ADC는 55nm CMOS 공정으로 제작되었으며, 188.6 μ W의 전력을 소모하면서 95.2dB의 SNDR과 175.4dB의 FoMSNDR을 달성하였다.

#24-4 많은 IoT 애플리케이션에서는 고해상도 DSM ADC가 필요하다. 연속 시간 토폴로지는 구동이 용이하고 앨리어싱을 제거하는 기능을 제공하지만, kHz 수준 대역폭에서 M Ω 범위의 높은 저항을 요구한다. 이는 큰 실리콘 면적을 소모하고 분포 파라미터 기생 커패시턴스를 도입하여 루프 전달 함수에 부정적인 영향을 미친다. 이를 해결하기 위해

높은 저항 폴리 저항을 사용할 수 있지만, 이는 특수한 공정에서만 사용할 수 있다. 본 논문에서는 높은 저항을 사용하지 않고 입력 저항을 줄이기 위해 크로스-RC 필터를 사용한다. 또한, MSB-패스 양자화 과정에서 FIFO 기반 프론트 엔드 카운터와 5-상태 4-레벨 MSB-패스 비교기를 사용하여 속도를 개선한다. 새로운 데이터에 더 높은 가중치를 부여하여 양자화 정확도를 향상시키고, FIFO의 깊이를 줄여 루프 지연을 감소시킨다. 거기에 더해 비교 결과를 FIFO가 가득 차기 전에 생성하여 양자화 속도를 높인다.

제안된 CT-DSM은 180nm CMOS 공정으로 제작되었으며, 20kHz 대역폭 내에서 107.3dB의 SNDR을 달성하면서 470 μ W의 전력을 소모하였다.

#24-5 단일 루프 CT-DSM은 80dB 이상의 SNDR 및 10MHz 이상의 대역폭에서 높은 전력 효율을 보이지만, 노이즈 셰이핑 양자화기(NS-QTZ)를 사용하는 경우 양자화 및 통합을 직렬로 수행하여 샘플링 주파수가 증가할 때 제약이 발생한다. 또한, CT MASH DSM은 비이상적인 인터스테이지 연결과 양자화 잡음(QN) 누설로 인해 성능이 저하된다. 본 논문은 두 개의 개별 CT DSM을 파이프라인 방식으로 결합하여 중요한 노이즈 캔슬레이션 프로세스를 제거하고 ISG를 활용하여 이문제를 해결한다. 제안된 DSM은 1단계의 전체 양자화 오류를 추출하여 2단계의 입력으로 사용하며, 두 디지털 출력을 단순히 결합하여 디지털 노이즈 캔슬레이션을 수행한다. 또한, 1단계 DSM의 입력을 사용하여 형성된 QN을 추출하는데, 이는 과샘플링 특성으로 인해 신호 누설이 작다. 따라서 일반적인 MASH에서 요구되는 아날로그 지연 블록을 피할 수 있다. 2단계 DSM은 형성된 QN만 처리하므로 비선형 오류가 포함되지 않으며, 입력 신호 구성 요소가 없어 선형성 요구 사항이 완화된다.

#24-6 고정밀 저전력(ULP) ADC는 생체의료 및 IoT 제품에서 중요한 역할을 하므로 높은 수요가 있다. 그러나 1 μ W 이하의 전력으로 16비트 해상도를 달성하는 것은 여전히 큰 도전 과제이다. 노이즈 셰이핑(NS) SAR ADC는 대역 내 양자화 노이즈를 효과적으로 줄이고 높은 에너지 효율을 달성할 수 있지만, 잔류 증폭기(RA)를 사용하는 파이프라인 버전은 설계 요구사항을 완화할 수 있다. 이 논문에서는 이를 이용하여 높은 DC 이득과 에너지 효율을 위해 두 단계 부유 인버터 증폭기(FIA)에 레벨 시프팅 네트워크(LSN)를 삽입한 CECLS RA를 제안한다. 이 접근법은 기존 CLS의 대역폭 감소 및 전하 공유 효과를 피하면서 에너지 효율을 높인다. 또한, 동적 동작 특성을 가진 FIA는 OTA보다 에너지 효율적이며 링 증폭기보다 안정성이 향상된다. 두 번째 증폭 단계에서 RA의 구동 능력을 강화하기 위해 DBB 기술을 적용하여 증폭기의 임계 전압 증가를 완화한다. 또, 프론트엔드 5비트 SAR ADC, 7.75배 RA, 백엔드 6비트 2차 NS SAR ADC로 구성된 파이프라인 구조를 사용하여 전력 소모를 최소화하고 높은 DC 이득을 달성한다.

#24-7 스마트 센서와 생체의료 프론트엔드의 급속한 발전으로 인해 고정밀, 고에너지 효율의 ADC가 요구된다. 24-1과 비슷하게 본 논문에서는 kT/C 노이즈를 피하기 위해 1단계에서 CT-SAR을 사용하고, 페루프 잔여 증폭을 위해 FIA 기반의 잔여 증폭기(RA)를 사용하며, 백엔드 단계로 2차 NS-SAR을 사용한다. 이 시스템은 완전 동적으로 작동하며, 대역폭에 따라 전력이 스케일링된다. 정확한 인터스테이지 게인을 제공하며, 변동하는 입력 신호를 처리할 수 있도록 2단계 FIA를 채택하여 높은 DC 게인을 달성하고 전력 소모를 최소화한다. 또한, DC 신호 처리를 가능하게 하고 오프셋 및 깜빡임 노이즈를 제거하기 위해 RA 출력 후에 초퍼를 추가한다. 7비트 DAC, 참조 스케일링 커패시터(CP), 3경로 스트롱암 래치 비교기를 포함한 2차 수동 NS 루프 필터 또한 사용하여 노이즈 전송 함수(NTF)를 최적화한다.

#24-8 센서 SoC에서 다중 센서 채널을 다중화하려면 고해상도 중속도 ADC가 필요하다. 연속 시간(CT) IADC는 큰 신호 슬루잉에서 덜 영향을 받고 저항성 입력을 통해 프리앰프의 구동 능력을 완화할 수 있다. 그러나, CT IADC는 메모리를 지우기 위한 간헐적 리셋으로 인해 성능 저하 문제가 발생한다. 이 논문에서는 2차 피드포워드 루프 필터와 1차 수동 노이즈 셰이핑 SAR(NS-SAR) 내부 양자화기를 사용하여 3차 루프 필터를 구현, OSR이 64일 때 100 dB SQNR을 달성한다. 또한, NS-SAR 양자화기의 커패시터 배열에 통합되어 적분기의 출력 스wing을 줄이고, 리셋 후 정상 작동 시 전압 링잉을 최소화하고 NS-SAR 양자화기에 ELD 보상 경로를 추가하여 성능 저하를 방지한다. 4개의 커패시터(CFF, CELD, CDAC, CNS)로 구성된 NS-SAR은 노이즈 셰이핑을 제공한다.

저자정보



박현준 박사과정 대학원생

- 소속 : 서울대학교
- 연구분야 : HBM, Chord Signaling, Information Theory
- 이메일 : spp098@snu.ac.kr
- 홈페이지 : <https://sites.google.com/view/wschoi?pli=1>

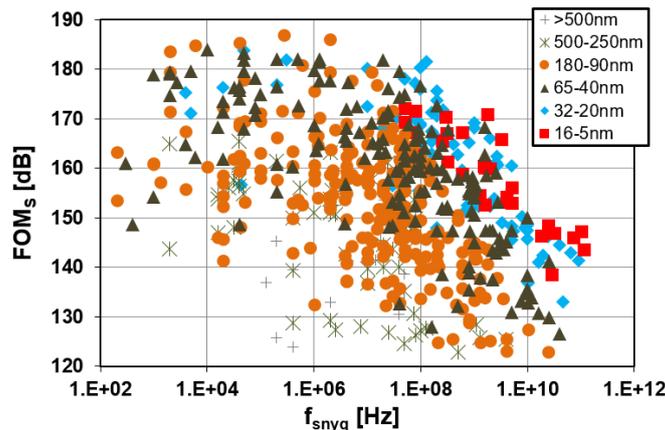
2024 IEEE CICC Review

KAIST 전기및전자공학과 박사과정 신현우

Session 28 High-Speed Data Converters

#28.1 – University of Macau, Macau, China

High-Speed Nyquist ADC(Analog-to-Digital Converter)는 다양한 어플리케이션에서 끊임 없는 수요로, 더 빠르고 정확한 데이터 변환과 적은 전력으로 동작하도록 개발되어 왔습니다. 본 논문은 지금까지 발표되었던 High-Speed Nyquist ADC의 architecture들을 소개하고, 그들의 장단점을 정리하고자 합니다. 아래의 그림을 보자면, 공정 미세화가 극에 달하는 데에 따라, FoM 향상 폭이 줄어들었다는 것을 볼 수 있습니다. 이에 새로운 구조적 혁신과 창의적인 기술 융합이 필요함을 알 수 있습니다.



첫째로, SAR (Successive approximation register) ADC는 전력 효율이 높고, 디지털 비중이 높아 process scaling에 따른 속도 증폭이 쉽기 때문에 최근 수십년간 각광을 받아왔습니다. 하지만, bit conversion loop가 serial로 동작하는 특성으로 conversion 속도가 제한됩니다. 이를 극복하기 위해서 asynchronous SAR ADC [1], Two comparator SAR ADC [2], Loop-unrolled SAR ADC [3], CIC(Charge-injection cell) based SAR ADC [4] 등 다양한 기법들이 개발되어 왔습니다.

두번째로, Multi-bit/cycle SAR ADC가 소개되었습니다. 기존 SAR 구조의 속도 제한을 넘어서기 위해서 SAR ADC의 binary search 과정에 flash architecture를 통합하였습니다. 처음 제시된 구조는 한 사이클 당 M-bit decision을 하기 위해, 각각 2^{M-1} 개의 Comparators와 CDACs을 사용하였습니다. [5] 하지만, 이러한 구조는 pre-charge cycle들

로 인한 속도 저하와 더불어 다수의 Comparator와 CDAC으로 인한 bandwidth가 제한됩니다. 이러한 한계를 돌파하기 위해 Multi-bit SAR with reference DAC [6], interpolation이 적용된 Multi-bit SAR [7], time-domain multi-bit SAR [8] 등의 다양한 연구들이 진행되어 왔습니다.

세번째로 Time-domain ADC는 공정 노드의 미세화로 각광을 받고 있습니다. Time-domain ADC는 logic delay로 quantization step이 결정되는데, 공정의 발달로 logic delay가 감소했기 때문에, 빠른 conversion rate를 달성하기 쉽게 되었습니다. 최근 Time-domain ADC는 VTC(voltage-to-time converter)와 TDC(time-to-digital converter)로 나누어진 구조를 갖습니다. [9] 하지만, 이러한 구조에는 VTC의 비선형성, bit에 따라 지수적으로 증가하는 전력과 면적, 채택한 공정에 제한되는 gate delay, mismatch error들과 같은 문제점들이 발생합니다. 이러한 문제점들을 해결하기 위해서, pulse-shrinking TD ADC [10], interpolation TD ADC [11], SAR-type TDC [12], TVC implemented TD ADC [13] 등의 연구들이 진행되어 왔습니다.

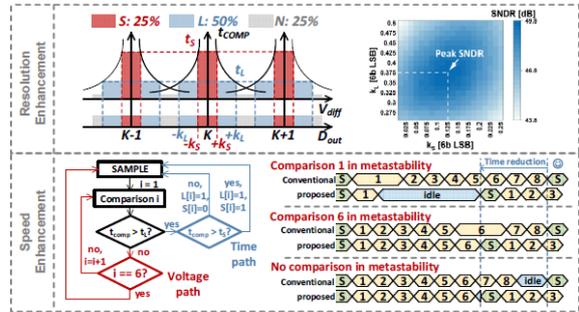
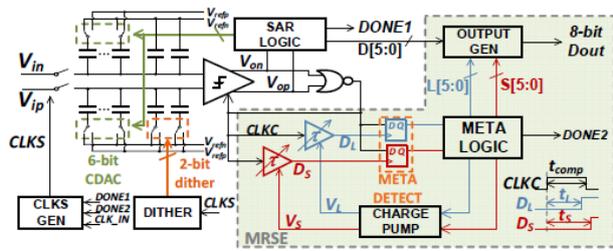
마지막으로, Pipeline ADC가 소개되었습니다. Pipeline ADC 구조는 sub-ADC와 multiplying DAC (MDAC)으로 구성된 여러 개의 stage들이 동시에 동작하는 방식으로 latency를 희생하여 높은 속도와 분해능을 달성합니다. 하지만, inter-stage error들을 해결할 필요가 있으며, 특히 inter-stage amplifier의 선형성, bandwidth, 전력 소모와 같은 이슈들을 고려해야 한다. 이러한 문제들을 극복하기 위해서, open-loop amplifier-based pipelined ADC [14], zero-crossing based circuit(ZCBC) [15], ring amplifier based pipelined ADC [16] 등의 구조들이 고안되었습니다.

이전의 연구들을 돌아봤을 때, 어떤 하나의 구조가 resolution, reliability 그리고 energy efficiency의 방면에서 압도적이지 않고 각자의 장단점을 가지고 있습니다. 그렇기 때문에, 각 구조의 특징을 잘 숙지하고, 이들을 잘 활용하여 새로운 돌파구를 마련하는 것이 우리들의 과제 일 것입니다.

#28.2 – Peking University, Beijing, China

본 논문에서는 SAR ADC에서 발생하는 metastability를 monitor하여 code를 결정하는 방식으로, 기존의 SAR 구조 보다 더 빠른 conversion speed를 달성하였습니다. Metastability는 comparator의 decision delay를 on-chip delay cell들의 delay와 비교함으로써 센싱 됩니다. 하지만, comparator decision delay와 delay cell은 PVT에 민감한데, 이를 해결하기 위해서 본 논문에서는 on-chip calibration engine을 삽입하였습니다. 또한, VCM에 따라 comparator decision time이 변동하기 마련인데, 이를

예방하기 위해 pre-amplifier 를 두어 comparator decision time 변동 폭을 줄였습니다. 결과적으로, 본 논문은 metastability sense 를 통한 추가적인 bit conversion 을 SAR ADC 에 통합함으로써, 1Gsamples/sec 의 동작속도로, Nyquist input 에서 47.2 dB 의 SNDR 을 달성하였습니다.



참고문헌

- [1] S.-W. M. Chen et al., "A 6b 600 MS/s 5.3 mW asynchronous ADC in 0.13 μm CMOS," in Proc. IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers., Feb. 2006, pp. 2350–2359.
- [2] L. Kull et al., "A 3.1 mW 8b 1.2 GS/s single-channel asynchronous SAR ADC with alternate comparators for enhanced speed in 32 nm digital SOI CMOS," IEEE Journal of Solid-State Circuits, vol. 48, no. 12, pp. 3049–3058, Dec. 2013.
- [3] T. Jiang, et al., "A Single-Channel, 1.25-GS/s, 6-bit, 6.08-mW Asynchronous Successive-Approximation ADC With Improved Feedback Delay in 40-nm CMOS," IEEE Journal of Solid-State Circuits, vol. 47, no. 10, pp. 2444–2453, Oct. 2012
- [4] K. D. Choo, et al., "Area-efficient 1GS/s 6b SAR ADC with charge-injection-cell-based DAC," in Proc. IEEE International Solid-State Circuits Conference (ISSCC) Dig. Tech. Papers, Jan. 2016, pp. 460–461.
- [5] Z. Cao et al., "A 32 mW 1.25 GS/s 6b 2b/Step SAR ADC in 0.13 μm CMOS," IEEE Journal of Solid-State Circuits, vol. 44, no. 3, pp. 862–873, Mar. 2009.
- [6] H. K. Hong et al., "A decision-error-tolerant 45 nm CMOS 7b 1 GS/s nonbinary 2b/cycle SAR ADC," IEEE Journal of Solid-State Circuits, vol. 50, no. 2, pp. 543–555, Feb. 2015.
- [7] C.-H. Chan et al., "A 3.8 mW 8b 1 GS/s 2b/cycle interleaving SAR ADC with compact DAC structure," in Proc. IEEE Symposium on VLSI Circuits(VLSIC), 2012, pp. 86–87.
- [8] D. Li, X. Zhao et al. "A 7-bit 3.8-GS/s 2-way time-interleaved 4-bit/cycle SAR ADC 16x time-domain interpolation in 28-nm CMOS," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 70, no. 9, pp. 3557–3566, Sep 2023.
- [9] A. R. Macpherson et al., "A 5GS/s 4-bit time-based single-channel CMOS ADC for radio astronomy," in Proc. Proceedings of the IEEE 2013 Custom Integrated Circuits Conference(CICC), San Jose, CA, USA, 2013, pp. 1-4
- [10] M. Hassanpourghadi et al., "A 2-way 7.3-bit 10 GS/s Time-based Folding ADC with Passive Pulse-Shrinking Cells," in Proc. IEEE Custom Integrated Circuits Conference(CICC), 2019, pp. 1-4.
- [11] M. Zhang et al., "16.2 A 4 \times Interleaved 10GS/s 8b Time-Domain ADC with 16 \times Interpolation-Based Inter-Stage Gain Achieving >37.5dB SNDR at 18GHz Input," in Proc. IEEE International Solid-State Circuits Conference (ISSCC), 2020, pp. 252-254.
- [12] J. Liu et al., "A 10GS/s 8b 25fJ/c-s 2850um² Two-Step Time-Domain ADC Using Delay-Tracking Pipelined-SAR TDC with 500fs Time Step in 14nm CMOS Technology," in Proc. IEEE International Solid-State Circuits Conference (ISSCC), , 2022, pp. 160-162.
- [13] A. Whitcombe et al., "A 6.0mW 3.8GS/s 7b VTC/TDC-Assisted Interleaved SAR ADC with 13GHz

ERBW," in Proc. IEEE Symposium on VLSI Circuits (VLSIC), , 2022, pp. 170-171.

[14] B. Murmann et al., "A 12b 75MS/s Pipelined ADC Using Open-Loop Residue Amplification," IEEE Journal of Solid-State Circuits, vol. 38, no. 12, pp. 2040-2050, Dec. 2003

[15] S. -K. Shin et al., "A 12 bit 200 MS/s Zero-Crossing-Based Pipelined ADC With Early Sub-ADC Decision and Output Residue Background Calibration," IEEE Journal of Solid-State Circuits, vol. 49, no. 6, pp. 1366-1382, June 2014.

[16] Y. Cao et al., "10.3 A Single-Channel 12b 2GS/s PVT-Robust Pipelined ADC with Critically Damped Ring Amplifier and Time-Domain Quantizer," n Proc. IEEE Int. Solid-State Circuits Conference (ISSCC), 2023, pp. 9-11.

저자정보



신현우

- 소 속 : KAIST 전기및전자공학과 박사과정
 - 연구분야 : High Speed ADC
 - 이 메 일 : shin6223@kaist.ac.kr
 - 홈페이지 : <https://msicl.kaist.ac.kr>
-